دوفصلنامهٔ هیدروفیزیک

دورهٔ هشتم، شمارهٔ دوم (پاییز و زمستان ۱۴۰۱)؛ صفحات ۸۶-۷۷

مقالهٔ پژوهشی

DOR: 20.1001.1.24767131.1401.8.2.8.8

درصد همانندی: ۱۴٪

طراحی تقسیم‌کننده فرکانسی دو سطحی ۲/۳ کم‌توان با تکنیک GDI در فرکانس‌سازهای کسری برای کاربردهای سونار

رضا مردانی[1*]، محمد زارع‌احتشامی[2]، ایوب خداپرست[3]

[1*] نویسنده مسئول، مجتمع دانشگاهی علوم و فناوری هوادریا، دانشگاه صنعتی مالک اشتر، ایران mardani_r@mut.ac.ir

[2] مجتمع دانشگاهی علوم و فناوری هوادریا، دانشگاه صنعتی مالک اشتر، ایران ehteshami@mut.ac.ir

[3] مجتمع دانشگاهی علوم و فناوری هوادریا، دانشگاه صنعتی مالک اشتر، ایران khodaparast@mut-es.ac.ir

تاریخ دریافت: ۱۴۰۲/۰۹/۲۹ **تاریخ پذیرش:** ۱۴۰۲/۱۱/۰۱

چکیده

فرکانس‌ساز یک قطعه اساسی در سیستم‌های الکترونیکی است که بیشتر در انتقال و پردازش سیگنال‌های الکترونیکی استفاده می‌شود. این مدار از زیربلوک‌های متفاوتی برای تولید سیگنال‌های فرکانسی با دقت و پایداری بالا استفاده می‌کند. یکی از زیربلوک‌هایی که نقش زیادی در افزایش دقت، سرعت و کاهش توان مصرفی دارد، تقسیم‌کننده فرکانسی است. در این پژوهش یک تقسیم‌کننده فرکانس دوسطحی ۲/۳ برای کاربردهای کم توان پیشنهاد شده است. استفاده از تقسیم‌کننده دوسطحی در فرکانس‌ساز کسری باعث بهبود پهنای باند کانال، فرکانس مرجع و نویز فاز مدار می‌شود. در این طراحی به‌منظور کاهش توان مصرفی و افزایش سرعت، از فلیپ فلاپ TSPC و تکنیک GDI استفاده شده است. بخش گیت‌های منطقی در این طراحی شامل MUX_GDI و AND_GDI است. با استفاده از تکنیک GDI می‌توان ولتاژ تغذیه مدار را کاهش داد که تأثیر زیادی در کاهش توان مصرفی دارد. به‌منظور بهبود سوئینگ خروجی سلول‌های GDI در ولتاژ تغذیه پایین، از تزانزیستورهای کمکی در این سلول استفاده شده است. محدوده فرکانسی تقسیم‌کننده دو سطحی طراحی شده، از ۰/۲ GHz تا ۴/۵ GHz است. متوسط توان‌مصرفی، ۱۵/۲۵ µW است. مقدار FoM در ماکزیمم فرکانس مدار برابر با ۱۹۷ GHz/mW است. همهٔ نتایج به دست‌آمده مربوط به شبیه‌سازی post layout و در فناوری CMOS ۶۵ nm صورت گرفته است.

واژه‌های کلیدی: سونار، فرکانس‌ساز، کم توان، حلقه قفل فاز، GDI

۱. مقدمه

سونار[1] فناوری است که با استفاده از انتشار صدا در زیر آب قادر به شناسایی دیگر ناوها و کشتی‌هاست. یکی دیگر از نیازهای خاص برای استفاده از سونار در فرکانس بالا (در محدوده گیگاهرتز) بازرسی زیرساخت‌های زیر آب، مانند خطوط لوله یا کابل‌های زیر آب است. این نوع کاربرد به تشخیص دقیق و ارزیابی وضعیت زیرساخت‌های غوطه‌ور در آب نیاز دارد. کاربردهای سونار در فرکانس گیگاهرتز می‌تواند وضوح لازم را برای شناسایی و بازرسی ترک‌های کوچک، خوردگی یا سایر آسیب‌های وارده به سازه‌های زیر آب فراهم کند و از یکپارچگی و ایمنی زیرساخت اطمینان حاصل کند. این کاربرد نیاز به تصویربرداری با وضوح بالا و قابلیت‌های تشخیص دقیق دارد که می‌تواند با استفاده از سیستم‌های سونار در فرکانس بالا به طور موثر برآورده شود [۱].

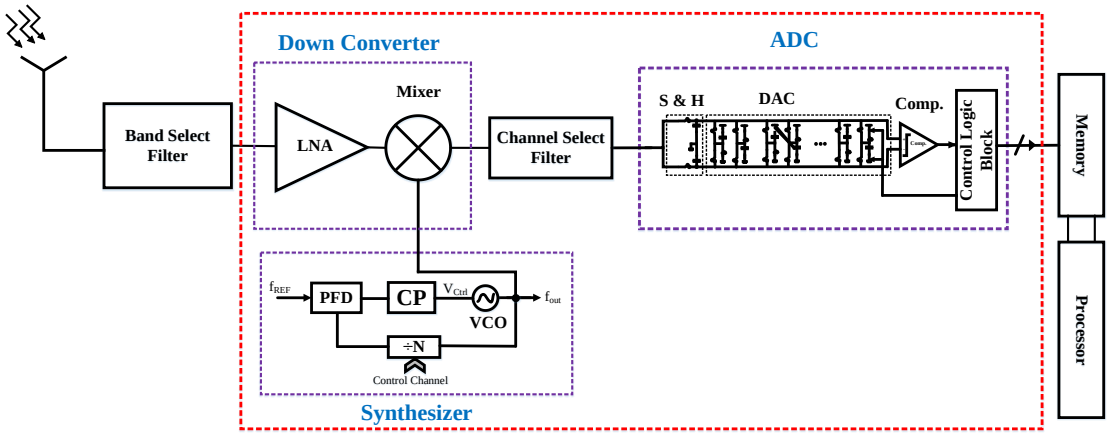
برای عملکرد مناسب سونار طراحی مناسب گیرنده اهمیت زیادی دارد. طراحی گیرنده با توان مصرفی کم در کاربردهایی دیگر مانند شبکه‌های حسگر بی‌سیم، کاربردهای پزشکی و اینترنت اشیا نیز اهمیت زیادی دارد. ساختار بلوک دیاگرام گیرنده در شکل ۱ نشان داده شده است.

سیگنالی که به‌وسیلهٔ آنتن دریافت شده، ابتدا از یک فیلتر band select عبور داده می‌شود. در این مرحله باند فرکانسی مورد نظر با این فیلتر انتخاب می‌شود و دامنه سیگنال‌های ناخواسته خارج از باند کاهش می‌یابد. سپس سیگنال انتخاب شده توسط بلوک مبدل کاهش فرکانس تقویت شده و به فرکانس پایین‌تر منتقل می‌شود. لازم است سیگنال دریافتی در طبقات اولیه گیرنده تقویت شود؛ زیرا این کار نخست باعث افزایش دامنه و تفاوت سیگنال اصلی از سیگنال سایر کانال‌ها و دوم باعث کاهش اثر نویز در طبقات بعدی می‌شود. سیگنال موردنظر در فرکانس کاهش یافته با فیلتر میان‌گذر انتخاب می‌شود و به بلوک ADC انتقال می‌یابد. این بلوک سیگنال‌های آنالوگ را به دیجیتال تبدیل می‌کند. درنهایت سیگنال دیجیتال به واحد پردازنده منتقل می‌شود تا پردازش‌های لازم روی آن انجام شود.

یکی از بلوک‌های اصلی در انواع وسایل الکترونیکی از قبیل انواع گیرنده‌ها و فرستنده‌های رادیویی، سیستم‌های رادیویی ماهواره‌ای و GPS، فرکانس ساز یا synthesizer است. این بلوک سطوح فرکانسی مورد نیاز را به صورت دقیق تولید می‌کند. هر استاندارد بی سیم تعداد معینی کانال فرکانسی برای مخابره دارد.

در سیستم‌های سونار، از یک فرکانس‌ساز برای تولید سیگنال‌های صوتی با فرکانس بالا که به داخل آب منتقل می‌شوند، استفاده می‌شود. این سیگنال‌ها در آب حرکت می‌کنند و با توجه به پردازش سیگنال‌های منعکس شده از این سیگنال‌ها تصویری از محیط زیر آب ایجاد می‌شود. فرکانس‌ساز نقش مهمی در عملکرد کلی سیستم سونار ایفا می‌کند، زیرا کیفیت و پایداری سیگنال‌های تولید شده به‌طور مستقیم بر توانایی سیستم برای شناسایی اهداف زیر آب تأثیر می‌گذارد. بنابراین، فرکانس‌ساز جزء ضروری در فناوری سونار است که به دقت و قابلیت اطمینان سیستم در تشخیص و تصویربرداری زیر آب کمک می‌کند.

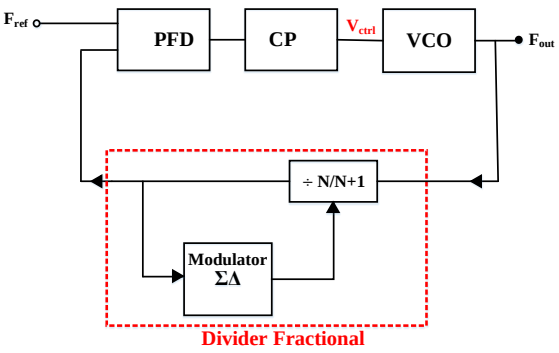
در شروع هر مخابره‌ایی یکی از این کانال‌ها (f_i) به کاربرد مورد نظر اختصاص می‌یابد، لازم است فرکانس اسیلاتور به نحو مناسبی تنظیم شود، فرکانس‌ساز این کار را انجام می‌دهد.



شکل ۱. ساختار بخش‌های اصلی گیرنده به همراه زیربلوک‌های هر بخش

با توجه به اینکه فرکانس خروجی VCO[۲] به دما، فرایند و ولتاژ تغذیه وابسته است، با تغییر این پارامترها فرکانس خروجی تغییر می‌کند. به همین دلیل VCO با یک حلقه قفل فاز یا PLL[۳] کنترل می‌شود تا فرکانس خروجی آن بتواند یک فرکانس مرجع دقیق را (که اغلب از یک نوسان‌ساز کریستالی گرفته می‌شود) دنبال کند. مدار سنتی سایزر کسری مشابه PLL بوده با این تفاوت که بلوک "تقسیم کننده دو سطحی N/N+1" به آن اضافه شده است. در این ساختار فرکانس خروجی به‌صورت مضربی از یک فرکانس دقیق (F_{ref}) ساخته می‌شود و این ضریب با فرمان انتخاب کانال، که از بخش دیجیتال می‌آید، تغییر می‌کند تا تمام فرکانس‌های حامل مورد نظر در استاندارد پوشانده شود.

همان‌طور که در شکل ۲ نشان داده شده است، فرکانس‌ساز کسری از زیربلوک‌های PFD[۴]، CP[۵]، VCO و تقسیم‌کننده فرکانسی تشکیل شده است [۲]. برای تولید سیگنال‌های با فرکانس دلخواه که در محدوده فرکانس مرجع نباشد، از تقسیم‌کننده فرکانسی در فرکانس‌ساز استفاده می‌شود.

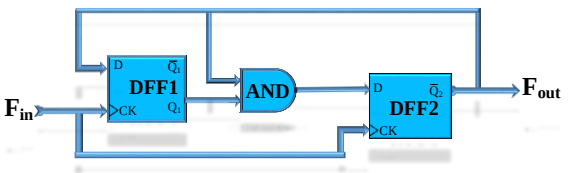


شکل ۲. ساختار بلوک دیاگرام فرکانس‌ساز کسری

توپولوژی‌های مختلفی برای طراحی تقسیم‌کننده‌های فرکانسی در محدوده گیگاهرتز وجود دارد. بعضی از این توپولوژی‌ها عبارتند از: CML[۶]، ILD[۷]، TSPC[۸] و ETSPC[۹] [۳]. روش‌های CML و ILD سرعت خیلی بالایی دارند، ولی توانی در حد چند میلی‌وات مصرف می‌کنند که برای کاربردهای مورد نظر مناسب نیست [۴ و ۵]. مدارهای TSPC و ETSPC توان مصرفی کم و سرعت قابل قبولی دارند، ولی ETSPC به دامنه کلاک ورودی بیشتری نسبت به TSPC نیاز دارد، همچنین جریان نشتی ETSPC در فرکانس‌های بالا نسبت به TSPC بیشتر است. بنابراین مدار TSPC برای کاربردهای کم‌توان مناسب‌تر است [۶].

در این مقاله مدار تقسیم ۲/۳ بررسی می‌شود. دو پارامتر حیاتی در رابطه با تقسیم‌کننده‌های فرکانسی، توان مصرفی و سرعت هستند. در بلوک‌های تقسیم‌کننده فرکانسی، ظرفیت بار در مسیر سیگنال، تعداد گره‌ها در این مسیر، جریان نشتی و تعداد ترانزیستور از عوامل موثر در مصرف توان و سرعت هستند.

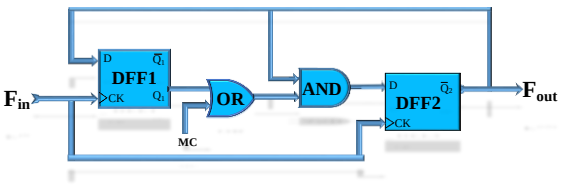
مدار تقسیم بر ۲ را می‌توان با یک فلیپ‌فلاپ D که در یک حلقهٔ فیدبک منفی قرار داده شده است، ساخت. یک مدار تقسیم کننده ۳ رایج، با دو فلیپ فلاپ و یک گیت AND به‌صورت شکل ۳ ساخته می‌شود [۲].



شکل ۳. مدار تقسیم‌کننده فرکانسی ۳ رایج

مدار شکل ۳ را می‌توان به صورتی تغییر داد که دو سطح داشته باشد. اگر یک گیت OR با یک ورودی کنترلی MC به‌صورت شکل ۴ به ساختار شکل ۳ اضافه شود، یک مدار تقسیم‌کننده دو سطحی ۲/۳ ایجاد می‌شود. اگر "MC "0 باشد، خروجی DFF1 به گیت AND اعمال شده و مدار مشابه شکل ۳، ورودی ساعت را بر ۳ تقسیم می‌کند. اگر MC برابر "۱" باشد، DFF1 نقشی در خروجی ندارد و مدار عمل تقسیم ۲ را انجام می‌دهد [۲].

به منظور بهبود عملکرد تقسیم‌کننده‌های دوسطحی از تکنیک‌های گوناگونی استفاده شده است. در مدار ارائه شده در مقاله [۷] در تقسیم‌کننده ۲/۳ گیت OR با یک کلید جایگزین شده است. وقتی کلید باز باشد، فلیپ‌فلاپ اول، قطع شده و فلیپ‌فلاپ دوم به تنهایی تقسیم ۲ را انجام می‌دهد. وقتی کلید بسته باشد هر دو فلیپ‌فلاپ فعال و با هم لینک شده و تقسیم ۳ انجام می‌شود.

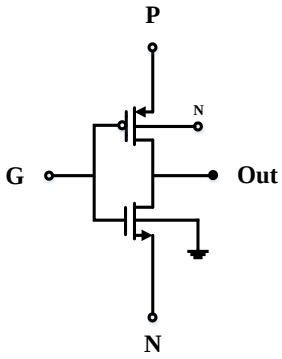


شکل ۴. مدار تقسیم کننده فرکانسی ۲/۳ رایج

فلیپ‌فلاپ‌ها بیشتر از ۳۰ تا ۷۰ درصد کل توان تراشه در تقسیم‌کننده را مصرف می‌کنند. بنابراین طراحی فلیپ فلاپ با توان مصرفی کم اهمیت دارد. فلیپ‌فلاپ‌های Master-slave معمولاً برای سیستم‌های کم‌توان استفاده می‌شوند. در مقاله [۸] یک مدار تقسیم‌کننده دوسطحی با استفاده از فلیپ‌فلاپ‌های Master-slave ارائه شده است. در نتیجه این طراحی عملیات تقسیم با سرعت بالاتری انجام می‌گیرد و تعداد خازن‌های گره‌های داخلی و خارجی کاهش یافته، که باعث کاهش توان مصرفی می‌شود.

تقسیم‌کننده ۲/۳ ارائه‌شده در مقاله [۹] شامل دو فلیپ‌فلاپ، یک گیت NOR و یک PT است. گیت NOR در فلیپ‌فلاپ دوم جاسازی شده و از PT برای اتصال DFF1 و DFF2 استفاده شده است. در ساختارهای متداول فقط از DFF و گیت‌های منطقی استفاده شده بود که در این کار با استفاده از PT تأخیر کاهش پیدا کرده است.

به‌منظور کاهش توان مصرفی، تأخیر و تعداد ترانزیستورها در مدارهای منطقی می‌توان از تکنیک GDI[۱۰] به جای روش‌های PTL[۱۱] و CMOS استفاده کرد. سلول پایه GDI در شکل ۵ نشان داده شده است. با تنظیم ورودی‌های G (ورودی مشترک گیت ترانزیستورهای NMOS و (PMOS، P (ورودی سورس/درین ترانزیستور PMOS) و N (ورودی سورس/درین ترانزیستور NMOS)، طبق جدول ۱ می‌توان توابع منطقی پرکاربرد را ایجاد کرد [۱۰]. با توجه به اینکه ساختارهای GDI، جریان نشتی بسیار کمی دارند، استفاده از این ساختار در طراحی گیت‌های منطقی باعث کاهش قابل‌توجهی در توان مصرفی مدار می‌شود.



شکل ۵: سلول پایه GDI

جدول ۱: توابع منطقی پرکاربرد با تکنیک GDI

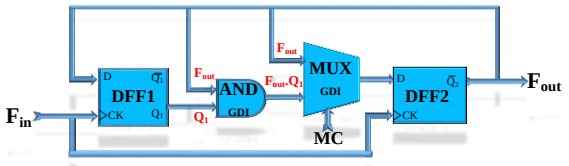
N	P	G	Out	Function
0	B	A	$\bar{A}B$	F1
B	1	A	$\bar{A}+B$	F2
1	B	A	$A+B$	OR
B	0	A	AB	AND
C	B	A	$\bar{A}B+AC$	MUX
0	1	A	$\bar{A}$	NOT

در این مقاله یک طرح پیشنهادی برای تقسیم‌کننده دو سطحی ۲/۳ ارائه شده است. در تقسیم‌کننده پیشنهادی از گیت‌های منطقی GDI برای کاهش توان مصرفی و افزایش سرعت استفاده شده است. همچنین به‌منظور عملکرد مناسب تقسیم‌کننده در ولتاژ تغذیه کم، سلول پایه GDI بهبود یافته

است. ساختار این مقاله به‌صورت زیر تقسیم‌بندی می‌شود: در بخش ۲ تقسیم‌کننده دو سطحی ۲/۳ پیشنهادی ارائه شده است. نتایج شبیه‌سازی post layout مدار پیشنهادی در بخش ۳ بررسی شده است. در نهایت نتیجه‌گیری و جمع‌بندی کلی از طرح در بخش ۴ ارائه شده است.

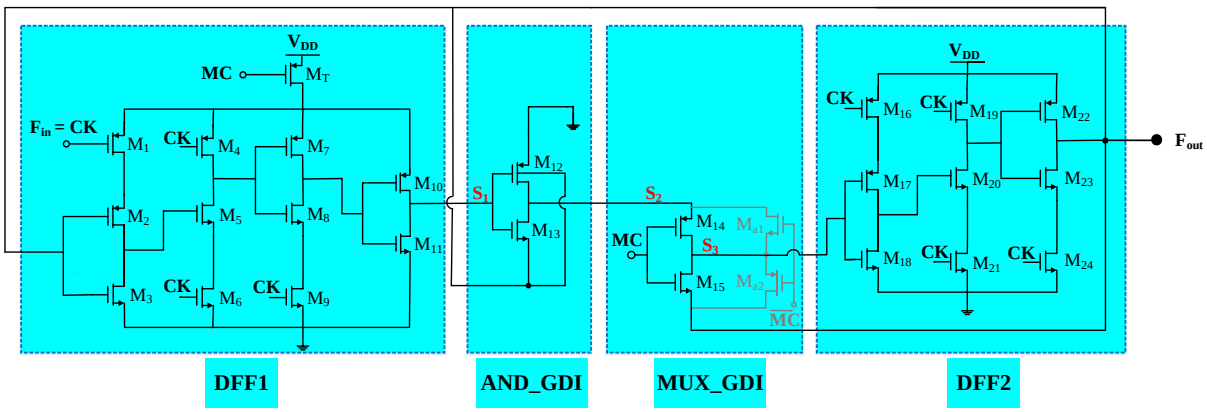
۲. تقسیم‌کننده ۲/۳ پیشنهادی

ساختار بلوک دیاگرام تقسیم‌کننده ۲/۳ پیشنهادی در شکل ۶ نشان داده شده است. در این ساختار از دو فلیپ فلاپ TSPC، یک گیت AND از نوع GDI (AND_GDI) و یک گیت مولتی پلکسر از نوع GDI (MUX_GDI) استفاده شده است. اگر MC=1 باشد، مولتی پلکسر ورودی F_{out} را انتخاب کرده و گیت AND و DFF1 از حلقه خروجی خارج می‌شوند، در نتیجه مدار تقسیم ۲ را انجام می‌دهد. اگر MC=0 باشد، خروجی گیت AND به ورودی DFF2 اعمال شده و تقسیم ۳ صورت می‌گیرد.



شکل ۶. ساختار بلوک دیاگرام تقسیم کننده ۲/۳ پیشنهادی

ساختار ترانزیستوری مدار پیشنهادی در شکل ۷ نشان داده شده است. با توجه به نتایج گزارش شده از سایر طراحی‌ها، معمولاً در حالت تقسیم ۲ توان مصرفی بیشتر از تقسیم ۳ است. در طراحی پیشنهادی با استفاده از ترانزیستورهای کنترلی توان مصرفی در حالت تقسیم ۲ کاهش چشم‌گیری داشته است. بدین منظوراز ترانزیستور کنترلی M_T استفاده شده است. زمانی که MC=1 باشد، DFF1 در خروجی مدار تاثیری ندارد، بنابراین با خاموش شدن ترانزیستور M_T، DFF1 غیرفعال می‌شود در نتیجه توان مصرفی مدار کاهش می‌یابد.



شکل ۷. ساختار ترانزیستوری تقسیم کننده ۲/۳ پیشنهادی

همچنین در حالت MC=0، پشته ترانزیستوری ایجاد شده به واسطه M_T باعث کاهش جریان نشتی و توان اتصال کوتاه در حالت تقسیم ۳، نسبت به مدار متداول می‌شود.

در تقسیم‌کننده ۲/۳ رایج بخش گیت‌های منطقی از ۱۲ ترانزیستور تشکیل شده‌اند، درحالی‌که در تقسیم‌کننده پیشنهادی بخش گیت‌های منطقی شامل ۴ ترانزیستور است. کاهش تعداد ترانزیستورها باعث کاهش توان مصرفی، ابعاد لی‌اوت و کاهش تأخیر می‌شود.

خازن بار در مسیر سیگنال، یکی از پارامترهای مهم در تقسیم کننده‌هاست. کاهش خازن بار باعث کاهش توان مصرفی می‌شود. در تقسیم کننده ۲/۳ پیشنهادی، خازن بار گره‌های S_1، S_2 و S_3 به‌صورت رابطه (۱) به‌دست می‌آید.

$$
\begin{aligned}
C_{L,S_1} &= C_{dbM10} + 2C_{gdM10} + C_{dbM11} \\
&\quad + 2C_{gdM11} + C_{gM12} + C_{gM13} \\
C_{L,S_2} &= C_{dbM12} + 2C_{gdM12} + C_{dbM13} \\
&\quad + 2C_{gdM13} + 2C_{gsM14} \\
&\quad + C_{sbM14} \\
C_{L,S_3} &= C_{dbM14} + 2C_{gdM14} + C_{dbM15} \\
&\quad + 2C_{gdM15} + C_{gM17} + C_{gM18}
\end{aligned}
\qquad (۱)
$$

طبق شکل ۶ در مسیر سیگنال، ۹ گره کلیدزنی وجود دارد. بنابراین توان مصرفی کلیدزنی از رابطه (۲) محاسبه می‌شود.

$$P_{switching} = \sum_{i=1}^{9} f_{clk} C_{Li} V_{DD}^2 \qquad (۲)$$

در این رابطه C_{Li} خازن بار گره ۱ تا ۹ است، f_{clk} فرکانس سیگنال کلاک ورودی و V_{DD} ولتاژ تغذیه مدار است. طبق این رابطه توان مصرفی کلیدزنی با توجه به کاهش خازن بار و کاهش تعداد گره‌های کلیدزنی، نسبت به تقسیم‌کننده ۲/۳ متداول کاهش یافته است. عامل دوم در توان مصرفی مدارهای دیجیتال، توان اتصال کوتاه است که به ابعاد ترانزیستورها، rise time و fall time سیگنال وابسته است. توان اتصال کوتاه به‌صورت رابطه (۳) است.

$$P_{short\ circuit} = I_{peak} t_{sc} f_{clk} V_{DD} \qquad (۳)$$

در این رابطه t_{sc} زمان وقوع اتصال کوتاه و I_{peak} جریان ماکزیمم در زمان اتصال کوتاه است. با توجه به اینکه در تقسیم‌کننده پیشنهادی از مدل GDI گیت‌های منطقی استفاده شده، جریان نشتی مدار به‌صورت قابل‌توجهی کاهش یافته است. همچنین با توجه به اینکه افزایش پشته ترانزیستوری باعث کاهش زمان اتصال کوتاه می‌شود، پارامتر t_{sc} در مدار پیشنهادی نسبت به مدار رایج کمتر است. دو عامل گفته شده باعث کاهش چشمگیر توان مصرفی اتصال کوتاه شده است.

توان مصرفی کل برابر مجموع توان کلیدزنی و توان اتصال کوتاه است. با توجه به تأثیر مستقیم V_{DD} در هر دو توان (رابطه (۲) و (۳))، کاهش V_{DD} تأثیر زیادی در کاهش توان مصرفی کل دارد. در مدارهای پیشنهادشده در این مقاله، V_{DD} برابر 8/0 V در نظر گرفته شده که باعث کاهش توان مصرفی شده است. ولی افت ناشی از ولتاژ V_{th} در ولتاژهای کم، در بخش MUX_GDI مقدار swing خروجی را کاهش داده و باعث عملکرد نامناسب مدار می‌شود. برای برطرف کردن این مشکل از ترانزیستورهای کمکی M_{a1} و M_{a2} با کنترل سیگنال $\overline{MC}$ استفاده شده است. در این شرایط این دو ترانزیستور همزمان با ترانزیستور مقابل خود روشن شده و swing سیگنال خروجی MUX_GDI را بیشتر می‌کنند و عملکرد مدار را بهبود می‌دهند. این دو ترانزیستور تعداد گره‌های کلیدزنی را تغییر نمی‌دهند ولی خازن بار مربوط به گره S_3 به‌صورت رابطه (۴) تغییر می‌کند.

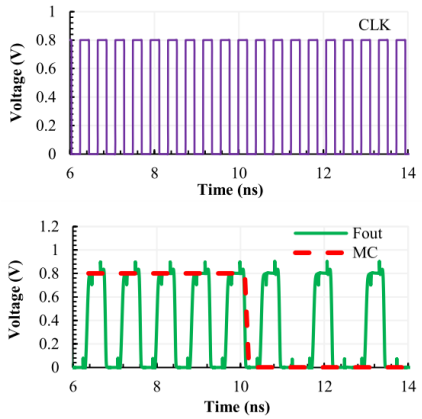
$$\begin{aligned} C_{L,S_3} = {} & C_{dbM14} + 2C_{gdM14} + C_{dbM15} \\ & + 2C_{gdM15} + C_{gM17} + C_{gM18} \\ & + C_{sbMa1} + 2C_{gMa1} \\ & + C_{sbMa2} + 2C_{gMa2} \end{aligned} \qquad (۴)$$

با توجه به این رابطه خازن بار گره S_3 افزایش یافته است. در صورتی که از ترانزیستورهای کمکی استفاده نشود خروجی MUX_GDI در ولتاژ ۰/۸ ولت (گره S3) که به فلیپ فلاپ دوم اعمال می‌شود، دامنه سوئینگ کمی داشته و عملکرد مدار را دچار مشکل می‌کند. برای حل این مشکل می‌توان ولتاژ تغذیه را افزایش داد. با استفاده از ترانزیستور کمکی با ولتاژ تغذیه ۰/۸ ولت می‌توان به سوئینگ مناسب در گره S3 دست پیدا کرد. به توجه به اینکه توان مصرفی سوییچینگ با توان دوم ولتاژ تغذیه مرتبط است و این پارامتر به طور خطی با خازن بار ارتباط دارد، بنابراین کاهش ولتاژ تغذیه تأثیر بیشتری نسبت به افزایش خازن بار، بر مصرف توان دارد.

۳. نتایج شبیه‌سازی post layout

نتایج شبیه‌سازی‌های post layout مربوط به تقسیم‌کننده پیشنهادی و مقایسه آنها با ساختارهای متداول در این بخش ارائه شده است. آنالیز و شبیه‌سازی مدارهای ارائه شده در فناوری CMOS65 nm بوده و با استفاده از Spectre Cadence انجام شده است. نتایج post layout ارائه شده بعد از انجام بازبینی‌های DRC[۱۲] و LVS[۱۳] و استخراج عناصر پارازیتی PEX[۱۴] توسط Calibre انجام شده است.

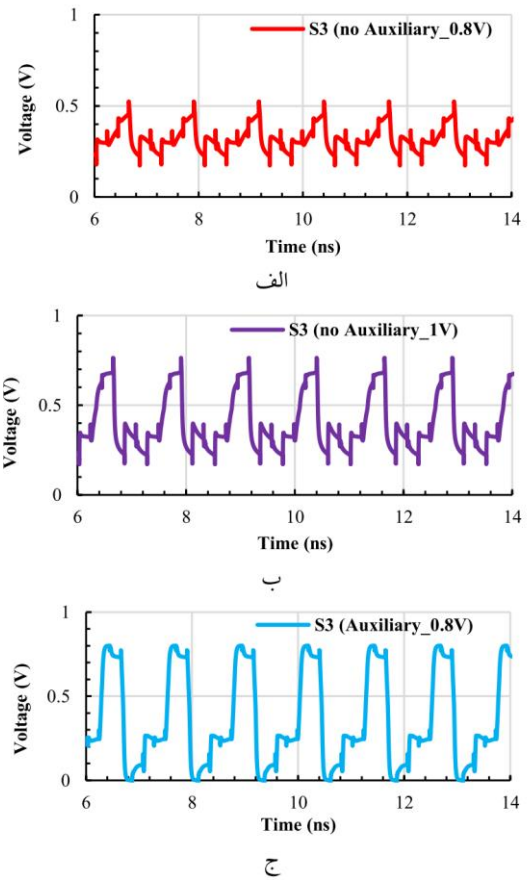
شکل ۸ خروجی تقسیم‌کننده‌های دوسطحی ۲/۳ مربوط به شکل ۵ و ۶ در دو حالت تقسیم ۲ (MC=1) و تقسیم ۳ (MC=0) را نشان می‌دهد. این شبیه‌سازی در فرکانس ورودی GHz 4/2 و ولتاژ تغذیه V 8/0 است.



شکل ۸. خروجی تقسیم‌کننده‌های دوسطحی پیشنهادی ۲/۳ در دو حالت تقسیم ۲ (MC=1) و تقسیم ۳ (MC=0)

تغییر فرکانس خروجی با تغییر سیگنال MC در هر دو شکل مشخص است.

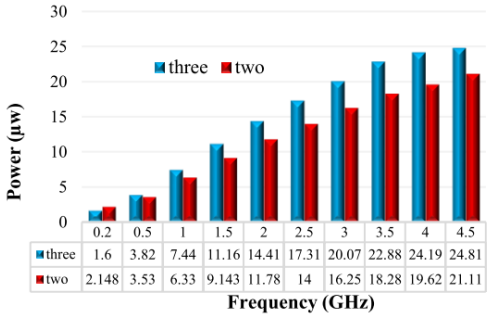
مقایسه تغییرات ولتاژ گره S_3 در ولتاژ تغذیه ۰/۸ ولت و ۱ ولت بدون استفاده ترانزیستورهای کمکی و در ولتاژ ۰/۸ ولت با ترانزیستورهای کمکی در شکل ۹ نشان داده شده است. سوئینگ ولتاژ در این سه حالت به‌ترتیب برابر ۰/۲۲، ۰/۵۶ و ۰/۸ ولت است. توان مصرفی مدار درحالت تقسیم ۲ و ۳ برای مدار با ترانزیستور کمکی در ولتاژ تغذیه ۰/۸ ولت (مدار پیشنهادی) به‌ترتیب برابر ۱۴ و ۱۷ میکروات است. مقدار توان مصرفی در مدار بدون ترانزیستور کمکی و با درنظر گرفتن ولتاژ تغذیه ۱ ولت برای حالت تقسیم ۲ و ۳ به ترتیب ۲۲ و ۲۷ میکروات است. بنابراین طبق نتایج به‌دست آمده در صورت استفاده از ترانزیستورهای کمکی، حدود ۳۷ درصد توان مصرفی کاهش می‌یابد.



شکل ۹. مقایسه تغییرات ولتاژ گره S_3 (الف) در ولتاژ تغذیه ۰/۸ ولت بدون ترانزیستورهای کمکی (ب) در ولتاژ تغذیه ۱ ولت بدون ترانزیستورهای کمکی ج) در ولتاژ ۰/۸ ولت با ترانزیستورهای کمکی.

با توجه به شکل ۹ می‌توان تأخیر ایجاد شده به واسطه وجود یا عدم وجود ترانزیستورهای کمکی را اندازه‌گیری کرد. اگر تأخیر را فاصله کلاک تا سیگنال مورد نظر در نصف ولتاژ ابتدا تا انتهای کلاک در نظر بگیریم در مدار بدون ترانزیستور کمکی و با درنظر گرفتن ولتاژ تغذیه ۱ ولت، تأخیر برابر ۳۹ پیکوثانیه است. برای مدار با ترانزیستور کمکی در ولتاژ تغذیه ۰/۸ ولت (مدار پیشنهادی) تأخیر برابر ۴۱ پیکوثانیه است. بنابراین محدودیت به وجود آمده برای حداکثر فرکانس پالس ساعت به‌واسطه خازن‌های ترانزیستورهای کمکی، قابل چشم پوشی است.

در شکل ۱۰ تغییرات توان مصرفی تقسیم‌کننده‌های دوسطحی ۲/۳ برحسب تغییرات فرکانس ورودی، نشان داده شده است.

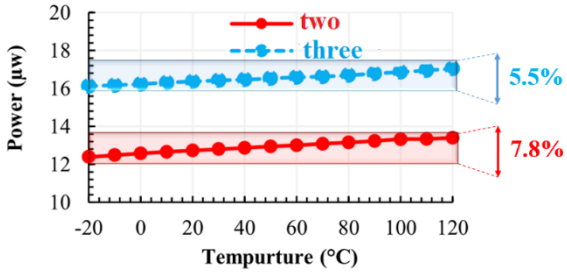


	0.2	0.5	1	1.5	2	2.5	3	3.5	4	4.5
three	1.6	3.82	7.44	11.16	14.41	17.31	20.07	22.88	24.19	24.81
two	2.148	3.53	6.33	9.143	11.78	14	16.25	18.28	19.62	21.11

شکل ۱۰. تغییرات توان مصرفی تقسیم کننده دوسطحی ۲/۳ برحسب تغییرات فرکانس

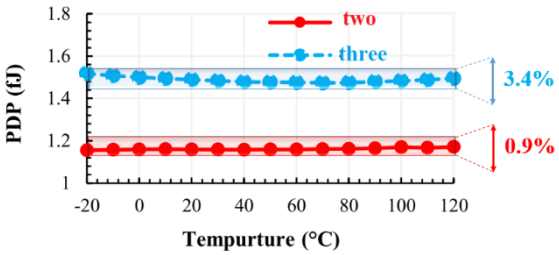
در فرکانس 4/2 GHz توان مصرفی تقسیم‌کننده در حالت تقسیم ۲ و ۳ به‌ترتیب برابر µW6/13 و µW9/16 است. با توجه به ترانزیستور کنترلی M_T، توان مصرفی در حالت تقسیم ۲ بر خلاف معمول، کمتر از حالت تقسیم ۳ است. شبیه‌سازی‌ها نشان می‌دهد که بیشترین فرکانس کاری این تقسیم‌کننده 5/4 GHz است.

تغییرات توان مصرفی نسبت به تغییرات دما در طرح پیشنهادی در شکل ۱۱ نشان داده شده است. با تغییرات دما در بازه ۲۰ °C— تا ۱۲۰°C، تغییرات توان مصرفی در حالت تقسیم ۲ و ۳ به ترتیب برابر ۷/۸٪ و ۵/۵٪ است.



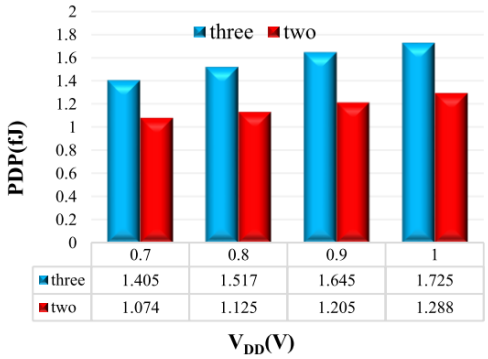
شکل ۱۱ تغییرات توان مصرفی نسبت به تغییرات دما

به‌منظور کاهش تأخیر و افزایش فرکانس کاری تقسیم‌کننده باید توان بیشتری مصرف شود. به‌همین دلیل یکی از پارامترهای مهم در تقسیم‌کننده‌ها PDP[۱۵] است، که به‌صورت ضرب توان مصرفی در تأخیر تعریف می‌شود. تغییرات PDP نسبت به تغییرات دما در تقسیم کننده ۲/۳ پیشنهادی در شکل ۱۲ نشان داده شده است. با تغییرات دما در بازه ۲۰ °C— تا ۱۲۰°C، تغییرات PDP در حالت تقسیم ۲ و ۳ به‌ترتیب برابر ۰/۹٪ و ۳/۴٪ است.



شکل ۱۲. تغییرات PDP نسبت به تغییرات دما

تغییرات PDP نسبت به تغییرات ولتاژ تغذیه برای تقسیم کننده‌های ۲/۳ در شکل ۱۳ نشان داده شده است. این مدار با تغییرات ۴۰٪ ولتاژ تغذیه و با مینیمم ولتاژ 7/0 V، عملکرد مناسبی دارد. در ولتاژ تغذیه 8/0 V مقدار متوسط PDP درحدود 31/1 fJ می‌باشد.



	0.7	0.8	0.9	1
three	1.405	1.517	1.645	1.725
two	1.074	1.125	1.205	1.288

شکل ۱۳. تغییرات PDP نسبت به تغییرات ولتاژ تغذیه برای تقسیم کننده‌های ۲/۳

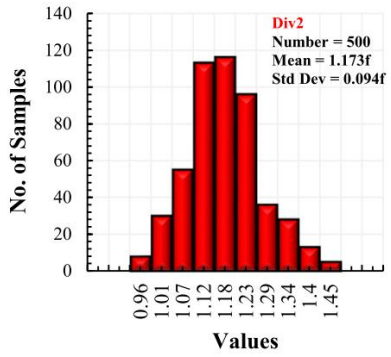
شبیه‌سازی مونت کارلو تقسیم‌کننده دو سطحی ۲/۳ پیشنهادی در شکل ۱۴ نشان داده شده است. شبیه‌سازی مونت کارلو برای پارامتر PDP انجام شده و شامل هر دو حالت فرایند و عدم تطبیق است. به ازای ۵۰۰ بار اجرا، انحراف استاندارد برای حالت تقسیم ۲ و ۳ به‌ترتیب 08/0 fJ و 146/0 fJ است. نسبت انحراف استاندارد به میانگین (σ/µ) به‌ترتیب ۸٪ و ۸/۶٪ است.

طرح لی‌اوت مدار پیشنهادی در شکل ۱۵ نشان داده شده که ابعاد آن، تقسیم‌کننده ۲۴۸ μm^2 است.

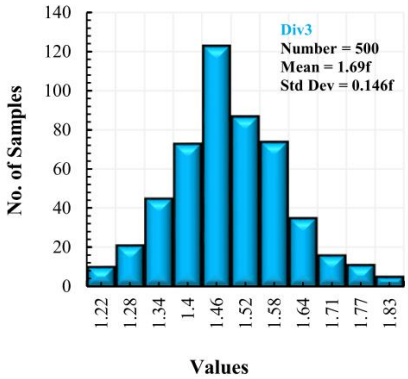
مقایسه تقسیم‌کننده پیشنهادی با تقسیم‌کننده‌هایی که در سال‌های اخیر طراحی شده‌اند در جدول ۲ آمده است.

همان‌طور که مشخص است مدار پیشنهادی از لحاظ توان مصرفی، FoM[۱۶] و PDP نسبت به مدارهای متداول بهبودی قابل‌توجهی داشته‌اند. در این جدول FoM به‌صورت رابطه (۵) به‌دست آمده است.

$$FoM = \frac{Frequency\ (GHz)}{Power\ (mW)} \qquad (۵)$$

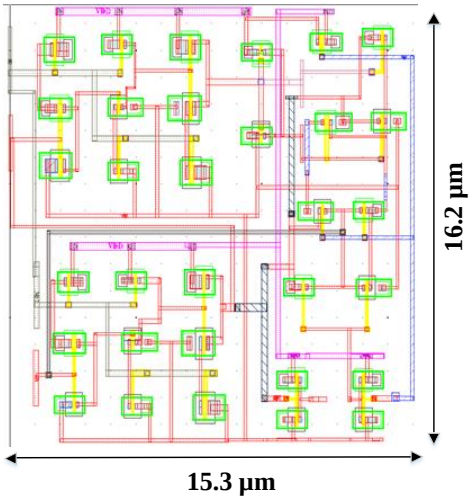


a



b

شکل ۱۴. نتایج آنالیز مونت‌کارلو برای PDP در تقسیم‌کننده‌های دو سطحی (a) تقسیم ۲ (b) تقسیم ۳



شکل ۱۵. طرح لی اوت ساختار پیشنهادی

جدول ۲. مقایسه پارامترهای مختلف تقسیم‌کننده پیشنهادی با ساختارهای متداول

مراجع	N/N+1 تقسیم کننده	فناوری (nm)	ولتاژ تغذیه (V)	محدوده فرکانسی (GHz)	توان مصرفی (mW)	FOM (GHz/mW) @ f_{max}	PDP (fJ)
طرح پیشنهادی	۲ || ۳	۶۵ CMOS	۰/۸	۰/۲~۴/۵	۰/۰۱۴ || ۰/۰۱۷ @ ۲/۴ GHz	۲۱۴ || ۱۸۱	۱/۱۲ || ۱/۵۱
[۱۱]	۱۶ || ۱۷	۱۸۰ CMOS	۱/۶	۰/۰۰۲~۵/۸	۲/۶ @ f_{max}	۲/۲۳	---
[۱۲]	۶ || ۷ || ۸	۱۸۰ CMOS	۱/۲	۴/۲	۰/۸۱ @ ۴/۲ GHz	۵/۲	---
[۱۳]	۲ || ۳	۱۸۰ CMOS	۰/۹	۳/۹	۰/۲۲۹ @ ۳/۹ GHz	۱۷/۰۳	---
[۶]	۳ || ۲ طراحی اول	۱۸۰ CMOS	۱/۸	۵/۵	۰/۳۷ || ۰/۹۲ @ ۵/۵ GHz	۵/۹۵ || ۱۷/۳۳	---
	۳ || ۲ طراحی دوم	۱۸۰ CMOS	۱/۸	۵/۵	۰/۲۵ || ۰/۳۹ @ ۵/۵ GHz	۲۱/۸۲ || ۲۲/۶۶	---
[۱۴]	۳ || ۴	۴۰ CMOS	۱/۱	<۶/۹	۰/۲۱۸ @ f_{max}	۳۱/۷	---
[۱۵]	۳ || ۴	۱۸۰ CMOS	۱/۲	<۷/۳	۰/۹۸ || ۰/۹ @f_{max}	۷/۴۴ || ۸/۱۱	۱۳۴ || ۱۲۳

۴. نتیجه‌گیری

در این مقاله یک تکنیک برای طراحی تقسیم‌کننده فرکانسی با توان مصرفی کم و سرعت بالا ارائه شده است. در بخش گیت‌های منطقی از دو سلول MUX_GDI و OR_GDI استفاده شده است. این سلول‌ها باعث کاهش توان مصرفی و افزایش سرعت مدار می‌شوند. همچنین طراحی مدار به‌صورتی که مدار در ولتاژ تغذیه کم، عملکرد مناسب را داشته باشد، تأثیر زیادی در کاهش توان مصرفی داشته است. به‌منظور افزایش سوئینگ ولتاژ خروجی و عملکرد صحیح مدار ترانزیستورهای کنترلی به سلول‌های GDI اضافه شده است. متوسط PDP در فرکانس 4/2 GHz برای تقسیم‌کننده ۲/۳ برابر با 31/1 fJ است. سطح لی‌اوت تقسیم‌کننده دو

سطحی پیشنهادی برابر ۲۴۸ μm^2 است. شبیه‌سازی توسط نرم‌افزار cadence و در فناوری 65 nm CMOS انجام شده است.

سپاسگزاری

نویسندگان بر خود لازم می‌دانند مراتب تشکر صمیمانه خود را از محققان پژوهشکده هیدروفیزیک دانشگاه صنعتی مالک اشتر که ما را در انجام این پژوهش یاری دادند، اعلام کنند.

مراجع

[1] Hines P C, Risley W C, O'Connor M P. A wide-band sonar for underwater acoustics measurements in shallow water. In IEEE Oceanic Engineering Society. OCEANS'98. Conference Proceedings (Cat. No. 98CH36259). 1998; 3(1): 1558-1562.

[2] Razavi B. RF Microelectronics (Prentice Hall Communication Engineering and Emerging Technologies Series. 2011.

[3] Zhen W, Cao S, Su Y, Li S, Jin Z. A novel design method of SOF for InP DHBT ECL and CML static frequency dividers. IEEE Microwave and Wireless Components Letters. 2021; 31(6): 583-586.

[4] Waks A, Tesson O, Bellanger M, Taris T, Begueret J B. September. Design of a 5G Application CML Frequency Divider for Improved Efficiency. In 2022 17th European Microwave Integrated Circuits Conference (EuMIC). 2022; 21-24.

[5] Jang S L. Current-reused CMOS 8: 1 injection-locked frequency divider employing two wide locking range subfrequency dividers. Microwave and Optical Technology Letters. 2023; 65(10): 2716-2720.

[6] Krishna M V, Do M A, Yeo K S, Boon C C, Lim W M. Design and analysis of ultra-low power true single phase clock CMOS 2/3 prescaler. IEEE transactions on circuits and systems. 2009; 57(1): 72-82.

[7] Hwang Y T, Lin J F. Low voltage and low power divide-by-2/3 counter design using pass transistor logic circuit technique. IEEE transactions on very large scale integration (vlsi) systems. 2011; 20(9): 1738-1742.

[8] Jiahui X, Zhigong W, Lu T, Jian X. A 3-GHz dual-modulus prescaler based on improved master-slave DFF. IEEE 12th International Conference on Communication Technology. 2010; 21-24.

[9] Xiang H, Wang C, Guo X, Xia Z. Low Voltage and High Speed Dual-Modulus Prescaler with E-TSPC Technology for Frequency Synthesizer. National Academy Science Letters. 2015; 38(3): 207-211.

[10] Abiri E, Darabi A. CNTFET-based divide-by-N/[N+ 1] DMFPs using m-GDI method for future generation communication networks. Nano communication networks. 2018; 1-16.

[11] Zhu W, Yang H, Gao T, Liu F, Yin T, Zhang D, Zhang H. A 5.8-ghz wideband tspc divide-by-16/17 dual modulus prescaler. IEEE transactions on very large scale integration (VLSI) systems. 2014; 23(1): 194-197.

[12] Jiang W, Yu F X. 4.2 GHz 0.81 mW triple-modulus prescaler based on true single-phase clock. Electronics Letters. 2014; 52(12): 1007-1008.

[13] Shen T, Liu J, Song C, Xu Z. A High-Speed Low-Power Divide-by-3/4 Prescaler using E-TSPC Logic DFFs. Electronics. 2019; 8(5): 589.

[14] Jiang W, Yu F. A novel high-speed divide-by-3/4 prescaler. IEEE Advanced Information Management, Communicates, Electronic and Automation Control Conference (IMCEC). 2016; 479-482.

پی‌نوشت‌ها

1. Sonar (sound navigation and ranging or sonic navigation and ranging)
2. Voltage Control Oscillator
3. Phase Lock Loop
4. Phase Frequency Detector
5. Charge Pump
6. Current Mod Logic
7. Injection locked divider
8. True Single-Phase Clock
9. Extended TSPC
10. Gate Diffusion Input
11. Pass Transistor
12. Design Rule Check
13. Layout versus Schematic
14. Parameter extraction
15. Power delay production
16. Figure of Merit